

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 6 月 1 9 日
Date of Application:

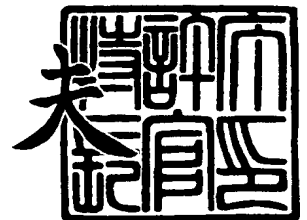
出 願 番 号 特 願 2 0 0 3 - 1 7 4 7 0 3
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 7 4 7 0 3]

出 願 人 廣 津 総 吉
Applicant(s):

2 0 0 3 年 1 1 月 2 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 0 9 7 7 0 8

【書類名】 特許願

【整理番号】 1030996

【提出日】 平成15年 6月19日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

 【住所又は居所】 福岡県糟屋郡新宮町花立花1丁目2番6号

 【氏名】 廣津 総吉

【発明者】

 【住所又は居所】 福岡県北九州市若松区青葉台西2丁目6-101

 【氏名】 廣津 寿一

【特許出願人】

 【住所又は居所】 福岡県糟屋郡新宮町花立花1丁目2番6号

 【氏名又は名称】 廣津 総吉

【代理人】

 【識別番号】 100064746

 【弁理士】

 【氏名又は名称】 深見 久郎

【選任した代理人】

 【識別番号】 100085132

 【弁理士】

 【氏名又は名称】 森田 俊雄

【選任した代理人】

 【識別番号】 100083703

 【弁理士】

 【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体素子およびそれを備えた論理回路

【特許請求の範囲】

【請求項 1】 ソースおよびドレインと、

前記ソースおよびドレインの間に一様な電界のチャネル領域を形成するための第 1 のゲートと、

前記ソースおよびドレインの間に、強電界領域および弱電界領域からなる非一様な電界のチャネル領域を形成するための第 2 のゲートとを備え、

前記第 1 および第 2 のゲートは、前記ソースおよびドレイン間の領域で、平面的に見て少なくとも部分的に重複するように形成され、

前記第 2 のゲートによる前記チャネル領域のコンダクタンスが前記第 2 のゲートへの印加電圧に応じて変化するのに伴って、前記ソースおよびドレイン間の全体チャネル領域のコンダクタンスが変化するよう構成された、半導体素子。

【請求項 2】 前記強電界領域および弱電界領域の発生により、前記第 1 および第 2 のゲートによって形成される全体のチャネル領域には、部分的に電界の方向に変化が生じ、この電界の方向の変化によって、前記全体のチャネル領域での実効的なゲート長およびゲート幅は変調される、請求項 1 記載の半導体素子。

【請求項 3】 前記第 1 のゲートは、矩形状の形状を有し、

前記第 2 のゲートは、前記第 1 のゲートの形状に沿った直線群で囲まれた形状を有する、請求項 1 記載の半導体素子。

【請求項 4】 ソースおよびドレインと、

前記ソースおよびドレインの間にチャネル領域を形成するための矩形状の第 1 のゲートと、

前記ソースおよびドレインの間にチャネル領域を形成するための、前記第 1 のゲートの形状に沿った直線群で囲まれ、かつ、ゲート幅方向に沿ってゲート長が部分的に異なるような形状を有する第 2 のゲートとを備え、

前記第 2 のゲートは、前記ソースおよびドレイン間の領域で平面的に見て前記第 1 のゲートと少なくとも部分的に重複するように形成される、半導体素子。

【請求項 5】 前記ソースおよびドレイン間の領域で前記第 2 のゲートは、

平面的に見て前記第 1 のゲートを覆うように設けられる、請求項 3 または 4 に記載の半導体素子。

【請求項 6】 前記第 2 のゲートは、前記第 1 のゲートと平面的に見て重複する領域の一部において前記第 2 のゲートが非形成とされる領域が存在するような形状で設けられる、請求項 3 または 4 に記載の半導体素子。

【請求項 7】 前記第 2 のゲートは、前記第 1 のゲートと平面的に見て重複する領域のうち、ゲート幅方向に沿った中央部において非形成とされ、他の領域において形成されるような形状を有する、請求項 6 に記載の半導体素子。

【請求項 8】 前記第 2 のゲートは、前記第 1 のゲートと平面的に見て重複する領域のうち、ゲート幅方向に沿った中央部において形成され、他の領域において非形成とされるような形状を有する、請求項 6 に記載の半導体素子。

【請求項 9】 前記第 1 および第 2 のゲートによってそれぞれ形成されたチャネルをあわせた全体のチャネル領域のコンダクタンスは、前記第 1 および第 2 のゲートへの印加電圧に応じて制御される、請求項 1 または 4 に記載の半導体素子。

【請求項 10】 前記第 1 および第 2 のゲートへの印加電圧の比に応じて、前記第 1 および第 2 のゲートによって形成される全体のチャネル領域における電界ベクトルは調整される、請求項 1 または 4 に記載の半導体素子。

【請求項 11】 前記第 1 および第 2 のゲートは、前記第 1 および第 2 のゲート間を電氣的に切離すための絶縁層を挟んで積層される、請求項 1 または 4 に記載の半導体素子。

【請求項 12】 前記ゲートおよびドレイン間の領域に前記第 1 および第 2 のゲートによってそれぞれ形成されるチャネル領域が幾何学的に連続性を有するように、前記第 1 および第 2 のゲートの形状は設計される、請求項 1 または 4 に記載の半導体素子。

【請求項 13】 前記ソースおよびドレインの間の領域のうちの、前記第 1 のゲートと平面的に見て重複する第 1 の部分の不純物濃度と、前記第 1 の部分を除く領域のうちの前記第 2 のゲートと平面的に見て重複する第 2 の部分との不純物濃度とは異なる、請求項 1 または 4 に記載の半導体素子。

【請求項 14】 前記ソースおよびドレインの間の領域のうちの、前記第 1 のゲートと平面的に見て重複する第 1 の部分の不純物濃度と、前記第 1 の部分を除く領域のうちの前記第 2 のゲートと平面的に見て重複する第 2 の部分との不純物濃度とは実質的に同じである、請求項 1 または 4 に記載の半導体素子。

【請求項 15】 第 1 の電圧および第 2 の電圧をそれぞれ供給するノード間に直列に接続された、第 1 導電型の第 1 の電界効果トランジスタおよび前記第 1 導電型と反対導電型の第 2 の電界効果トランジスタを備え、

前記第 1 および第 2 の電界効果トランジスタは、
ソースおよびドレインと、

前記ソースおよびドレインの間にチャネル領域を形成するための矩形状の第 1 のゲートと、

前記ソースおよびドレインの間にチャネル領域を形成するために、前記ソースおよびドレイン間の領域で平面的に見て前記第 1 のゲートと少なくとも部分的に重複するように形成される第 2 のゲートとを含み、

前記第 2 のゲートは、前記第 1 のゲートの形状に沿った直線群で囲まれ、かつ、ゲート幅方向に沿った少なくとも 1 個所でゲート長が不連続となるような形状を有し、

前記第 1 および第 2 の電界効果トランジスタの各前記第 1 のゲートと接続された信号入力ノードと、

前記第 1 および第 2 の電界効果トランジスタの接続ノードと接続された信号出力ノードと、

前記第 1 および第 2 の電界効果トランジスタの前記第 2 のゲートへの印加電圧を制御するための制御入力ノードとをさらに備える、論理回路。

【請求項 16】 前記制御入力ノードは、前記第 1 および第 2 の電界効果トランジスタの各前記制御入力ノードへ共通の電圧を与える、請求項 15 記載の論理回路。

【請求項 17】 前記制御入力ノードは、前記第 1 および第 2 の電界効果トランジスタのそれぞれの前記制御入力ノードへ別個の電圧を与える、請求項 15 記載の論理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体素子に関し、より特定的には、利得係数 β をアナログ的に変調可能な電界効果トランジスタおよびそれを備えた論理回路に関する。

【0002】

【従来の技術】

半導体素子は、発明以来約30年に渡り、その構造は一部の特殊半導体素子を省き3電極構造になっている。従来の半導体素子は設計時に設定した幾何学的なサイズでその特性（利得係数 β ）が決まってしまうため、後で変更することができない。すなわち、半導体素子の個性的特性である利得係数 β は固定化されている。そのため素子の寸法バラツキに起因する特性変動による歩留まりの低下を招いていた。

【0003】

この点を改善するために、下記特許文献1には、利得係数 β を素子毎に調整可能な半導体素子が開示されている。特許文献1に開示された半導体素子では、通常のMOS（Metal Oxide Semiconductor）ゲートに加えて制御ゲートが追加配置される。当該制御ゲートへの印加電圧に応じてチャネル方向の電界の向きが変調されて、実効的なゲート長およびゲート幅を変化させることができるので、半導体素子（電界効果トランジスタ）における利得係数 β の変調が可能となる。

【0004】

【特許文献1】

国際公開第02/059979号パンフレット（第6-11頁，第1-11図）

【0005】

【発明が解決しようとする課題】

しかしながら、上記特許文献1に開示された半導体素子では、チャネルでの電界の向きを変調するために、制御ゲートが通常のMOSゲートに対して、ある一定の角度 θ をなすように設けられる。このため、通常のMOSゲートおよび制御

ゲートの一方は、互いに直交する直線群のみで囲まれた形状ではなく、これらの直線群と交差する斜線によって規定される形状を有することになる。

【0006】

特に、上記角度 θ は、当該半導体素子の β 変調パラメータとして大きな影響を及ぼすので、高寸法精度でゲートの斜線構造を作製することが要求される。このようなゲート製造の困難性は、製造コストの増大を招くとともに、製造品質の不安定要因となる。具体的には、半導体素子特性の製造ばらつきの原因となる。

【0007】

この発明は、このような問題点を解決するためになされたものであって、この発明の目的は、利得係数 β を調整可能であり、かつ、安定的に製造可能な構造を有する半導体素子を提供することである。

【0008】

【課題を解決するための手段】

この発明に従う半導体素子は、ソースおよびドレインと、ソースおよびドレインの間に一様な電界のチャネル領域を形成するための第1のゲートと、ソースおよびドレインの間に、強電界領域および弱電界領域からなる非一様な電界のチャネル領域を形成するための第2のゲートとを備え、第1および第2のゲートは、ソースおよびドレイン間の領域で、平面的に見て少なくとも部分的に重複するように形成され、第2のゲートによるチャネル領域のコンダクタンスが第2のゲートへの印加電圧に応じて変化するのに伴って、ソースおよびドレイン間の全体チャネル領域のコンダクタンスが変化するよう構成される。

【0009】

好ましくは、強電界領域および弱電界領域の発生により、第1および第2のゲートによって形成される全体のチャネル領域には、部分的に電界の方向に変化が生じ、この電界の方向の変化によって、全体のチャネル領域での実効的なゲート長およびゲート幅は変調される。

【0010】

また好ましくは、第1のゲートは、矩形状の形状を有し、第2のゲートは、第1のゲートの形状に沿った直線群で囲まれた形状を有する。

【0011】

この発明の他の構成に従う半導体素子は、ソースおよびドレインと、ソースおよびドレインの間にチャネル領域を形成するための矩形状の第1のゲートと、ソースおよびドレインの間にチャネル領域を形成するための、第1のゲートの形状に沿った直線群で囲まれ、かつ、ゲート幅方向に沿ってゲート長が部分的に異なるような形状を有する第2のゲートとを備え、第2のゲートは、ソースおよびドレイン間の領域で平面的に見て第1のゲートと少なくとも部分的に重複するように形成される。

【0012】

好ましくは、ソースおよびドレイン間の領域で第2のゲートは、平面的に見て第1のゲートを覆うように設けられる。

【0013】

また好ましくは、第2のゲートは、第1のゲートと平面的に見て重複する領域の一部において第2のゲートが非形成とされる領域が存在するような形状で設けられる。

【0014】

さらに好ましくは、第2のゲートは、第1のゲートと平面的に見て重複する領域のうち、ゲート幅方向に沿った中央部において非形成とされ、他の領域において形成されるような形状を有する。

【0015】

あるいは、さらに好ましくは、第2のゲートは、第1のゲートと平面的に見て重複する領域のうち、ゲート幅方向に沿った中央部において形成され、他の領域において非形成とされるような形状を有する。

【0016】

また好ましくは、第1および第2のゲートによってそれぞれ形成されたチャネルをあわせた全体のチャネル領域のコンダクタンスは、第1および第2のゲートへの印加電圧に応じて制御される。

【0017】

あるいは好ましくは、第1および第2のゲートへの印加電圧の比に応じて、前

記第1および第2のゲートによって形成される全体のチャネル領域における電界ベクトルは調整される。

【0018】

また好ましくは、第1および第2のゲートは、第1および第2のゲート間を電氣的に切離すための絶縁層を挟んで積層される。

【0019】

あるいは好ましくは、ゲートおよびドレイン間の領域に第1および第2のゲートによってそれぞれ形成されるチャネル領域が幾何学的に連続性を有するように、第1および第2のゲートの形状は設計される。

【0020】

また好ましくは、ソースおよびドレインの間の領域のうちの、第1のゲートと平面的に見て重複する第1の部分の不純物濃度と、第1の部分を除く領域のうちの第2のゲートと平面的に見て重複する第2の部分との不純物濃度とは異なる。

【0021】

あるいは好ましくは、ソースおよびドレインの間の領域のうちの、第1のゲートと平面的に見て重複する第1の部分の不純物濃度と、第1の部分を除く領域のうちの第2のゲートと平面的に見て重複する第2の部分との不純物濃度とは実質的に同じである。

【0022】

この発明に従う論理回路は、第1の電圧および第2の電圧をそれぞれ供給するノード間に直列に接続された、第1導電型の第1の電界効果トランジスタおよび第1導電型と反対導電型の第2の電界効果トランジスタを備え、第1および第2の電界効果トランジスタは、ソースおよびドレインと、ソースおよびドレインの間にチャネル領域を形成するための矩形状の第1のゲートと、ソースおよびドレインの間にチャネル領域を形成するために、ソースおよびドレイン間の領域で平面的に見て第1のゲートと少なくとも部分的に重複するように形成される第2のゲートとを含み、第2のゲートは、第1のゲートの形状に沿った直線群で囲まれ、かつ、ゲート幅方向に沿った少なくとも1個所でゲート長が不連続となるような形状を有し、論理回路は、第1および第2の電界効果トランジスタの各第1の

ゲートと接続された信号入力ノードと、第1および第2の電界効果トランジスタの接続ノードと接続された信号出力ノードと、第1および第2の電界効果トランジスタの第2のゲートへの印加電圧を制御するための制御入力ノードとをさらに備える。

【0023】

好ましくは、制御入力ノードは、第1および第2の電界効果トランジスタの各制御入力ノードへ共通の電圧を与える。

【0024】

また好ましくは、制御入力ノードは、第1および第2の電界効果トランジスタのそれぞれの制御入力ノードへ別個の電圧を与える。

【0025】

【発明の実施の形態】

以下において、本発明の実施の形態について、図面を参照して詳細に説明する。

【0026】

〔実施の形態1〕

図1から図3は、本発明の実施の形態1による半導体素子の平面レイアウトを示す図である。

【0027】

図1を参照して、実施の形態1による半導体素子10は、通常のMOSゲート（以下、単に「MOSゲート」と称する）101と、ドレイン103と、ソース104と、新たに設けられた制御ゲート105とを有する。MOSゲート101、ドレイン103、ソース104および制御ゲート105には電極引出しのためのコンタクト106が設けられている。ドレイン103およびソース104間の領域において、MOSゲート101によってチャネル領域111が形成され、制御ゲート105によってチャネル領域112が形成される。チャネル領域111およびチャネル領域112が幾何学的な連続性を有するように、MOSゲート101および制御ゲート105は配置される。

【0028】

以下では、矩形状のMOSゲート101のゲート長に沿った方向およびゲート幅に沿った方向を、それぞれX方向およびY方向と定義する。すなわち、MOSゲート101は、X方向およびY方向に沿った直交する直線群のみで囲まれた平面形状を有する。図2に示されるように、MOSゲート101の平面形状は、ゲート長Lおよびゲート幅Wを形状パラメータとして表現される。

【0029】

本発明による半導体素子では、制御ゲート105も、X方向およびY方向に沿った直線群のみで囲まれた平面形状を有する。さらに、制御ゲート105のゲート長は非一様であるが、制御ゲート105は、ゲート幅方向（Y方向）に沿った少なくとも一部でゲート長が不連続となる形状を有している。また、制御ゲート105は、ドレイン103およびソース104間の領域で、平面的に見てMOSゲート101と少なくとも部分的に重複するように設けられる。

【0030】

一例として、実施の形態1による半導体素子10では、2種類のチャネル長を有するようなI型の平面形状を有する。I型形状の制御ゲート105は、ドレイン103およびソース104間の領域で、平面的に見て矩形状のMOSゲート101を覆うように設けられる。図3に示されるように、制御ゲート105のI型形状は、局所的なゲート幅W1、W2、W3および局所的なゲート長L1、L2、L3（実施の形態1ではL3=L1）の形状パラメータで表現される。

【0031】

図4は、図1に示された半導体素子10の断面を表わす斜視図である。

図4を参照して、半導体基板20（たとえば、n型半導体素子であればp型基板）上への不純物注入（n型半導体素子であればn型不純物）によりドレイン103およびソース104を形成する領域が形成される。さらに、ドレイン103およびソース104間の領域の直上に、絶縁膜121を介して、MOSゲート101を構成する導電性のゲート層が形成される。通常、ゲート層は、ポリシリコン等によって形成される。さらに、MOSゲート101の上層に絶縁膜123が設けられ、絶縁膜123の上層に、制御ゲート105を構成するゲート層が形成される。制御ゲート105は、MOSゲート101と別のゲート層を用いて、M

OSゲート101の上に重ねるように形成することが可能である。

【0032】

このように、MOSゲート101および制御ゲート105の間は絶縁膜123によって電氣的に分離されているので、MOSゲート101への印加電圧と制御ゲート105への印加電圧とは、互いに独立に制御することが可能である。

【0033】

制御ゲート105は、通常MOSトランジスタの製造プロセスで形成されたMOSゲート101の上に、さらに絶縁膜123および導電膜をして形成することによって作製できる。すなわち、本発明による半導体素子の製造は、新たに追加された制御ゲート105および、当該制御ゲート105をMOSゲート101と電氣的に切離すための絶縁膜123を形成する工程が追加される以外、従来のMOSトランジスタを形成するプロセス工程と同一にできる。当該追加工程は、制御ゲート105および絶縁膜123のマスクパターンを所望形状に合せて変更する必要がある以外は、MOSゲート101および絶縁膜121の製作工程と同様とできる。すなわち、本発明による半導体素子を集積回路に組込むために、製造工程を大幅に変更する必要は生じない。

【0034】

また、制御ゲート105下の領域126は、MOSゲート101下の領域125と同一の特性で作製してもよいし、不純物濃度（n型半導体素子であればp型不純物の濃度）が領域125および126の間で異なるように作製してもよい。

【0035】

なお、図4には、MOSゲート101の上層に制御ゲート105が形成される構造例を示したが、原理的には、両者の上下関係を入れ換えて、MOSゲート101の下層に制御ゲート105を形成する構造とすることも可能である。

【0036】

図5は、図1に示された半導体素子に形成されるチャネル領域を説明する平面図である。

【0037】

図5を参照して、実施の形態1による半導体素子10においては、MOSゲ

ト 101 とドレイン 103 およびソース 104 との間に、制御ゲート 105 下の制御チャネル領域 112 が実質上凹型を形成する。MOS ゲート 101 によるチャネル領域 111 と制御ゲート 105 によるチャネル領域 112 とを併せた全体チャネル領域 120 は、実質的に I 型を形成するようになる。

【0038】

次に、半導体素子 10 における利得係数 β の変調について説明する。

図 6 は、図 1 に示した半導体素子のチャネル領域に生じる電界と制御ゲート電圧との関係を説明する概念図である。

【0039】

本発明による半導体素子では MOS ゲート 101 および制御ゲート 105 の両方が存在するので、全体チャネル領域 120 に生じる電界は、制御ゲート 105 下のチャネルコンダクタンスに応じて変わる。すなわち、この電界は、厳密には、制御ゲート 105 への印加電圧（以下、制御ゲート電圧 V_{gc} と称する）および MOS ゲート 101 への印加電圧（以下、MOS ゲート電圧と称する）の比に応じて、実質的には、制御ゲート電圧に応じて変わる。

【0040】

制御ゲート 105 下のチャネルコンダクタンスが十分高い場合に、全体チャネル領域 120 に生じる電界ベクトルは、図 6 に点線 170 で示されるように、X 方向に沿って一様となる。この結果、全体チャネル領域 120 の等価的なチャネル幅およびチャネル長は、MOS ゲート 101 のゲート長 L およびゲート幅 W と同等となる。

【0041】

これに対して、制御ゲート 105 下のチャネルコンダクタンスが十分低い場合には、全体チャネル領域 120 に生じる電界ベクトルは、図 7 に実線 171 で示されるように、制御ゲート 105 のゲート長の非一様性に従って分割された領域 161、162 および 163 の間で非一様となる。具体的には、ゲート長が相対的に短い領域 162 では、点線 171 と同様に X 方向に沿った電界ベクトルが生じる一方で、ゲート長が相対的に長い領域 161、163 では、電界の部分的・局所的な変化によって電界の回りこみが生じる。

【0042】

図7は、制御ゲート下のチャネルコンダクタンスが十分低い場合に生じる電界を詳細に説明する図である。

【0043】

図7には、制御ゲート下のチャネルコンダクタンスが十分低い場合において、ソース・ドレイン間に所定電圧を印加したときに生じる、等電位線151, 152, 153, 154ならびに電界ベクトル（図7中の矢印）のシミュレーション結果が示される。

【0044】

領域161および163において、ソース・ドレイン間電圧によって生じる電界は、X方向に沿った一様電界とならず、制御ゲート形状105に応じた回り込みを生じる。これは、ゲート長が短い領域162においてドレイン103およびソース104間に平行平板コンデンサが形成されると考えた場合での、電極端部における電界の向きに相当する。

【0045】

コンデンサ端部に相当する領域161, 163では、相対的にゲート長が長くなるため、ゲート長が相対的に短い領域162での電界は、領域161, 163よりも大きい。すなわち、全体チャネル領域120には、相対的な強電界領域162および弱電界領域161, 163からなる非一様な電界が形成される。言い換えれば、本発明による半導体素子では、このような端部効果によって部分的・局所的な電界の変化を生じさせて、全体チャネル領域120での電界が非一様となるように、制御ゲート105の形状が設計される。このように、制御ゲート105のゲート長が部分的に異なるように（非一様に）設計することで、チャネル抵抗を部分的に変化させて、チャネル領域内に電界強度差を発生させることができる。

【0046】

この結果、弱電界領域161, 163のコンダクタンス g_1 , g_3 は、強電界領域162のコンダクタンス g_2 よりも相対的に小さくなる。チャネル領域112のコンダクタンスは、並列接続された、領域161, 162および163それ

ぞれのコンダクタンス g_1 、 g_2 および g_3 の和で示されるので、この場合には、全体チャネル領域 120 のコンダクタンスは、全体に一樣な電界が形成される場合、すなわち制御ゲート下のチャネルコンダクタンスが十分高い場合よりも小さくなる。

【0047】

この場合に、全体チャネル領域 120 のコンダクタンス、すなわち半導体素子の利得係数は最小値 β_{min} となる。この場合における、全体チャネル領域 120 の実効的なゲート長 L_{gc} およびゲート幅 W_{gc} の比 (W_{gc}/L_{gc}) は、MOS ゲート 101 でのゲート長およびゲート幅の比 (W/L) よりも小さくなる。すなわち、チャネル領域内に生じた電界強度差に起因して、全体チャネル領域 120 の実効的なゲート長およびゲート幅は変調されることになる。本発明による n 型半導体素子 (MOS トランジスタ) では、制御ゲート電圧 V_{gc} が低いほどチャネル領域 112 のコンダクタンスは低くなる。一方、本発明による p 型半導体素子 (MOS トランジスタ) では、制御ゲート電圧 V_{gc} が高いほどチャネル領域 112 のコンダクタンスは低くなる。

【0048】

一方、図 6 で説明したように、チャネルコンダクタンスが十分高い場合には、全体チャネル領域 120 が一樣な強電界領域となり、全体チャネル領域 120 のコンダクタンス、すなわち半導体素子の利得係数は最大 β_{max} となる。このように、全体チャネル領域 120 には、MOS ゲート電圧および制御ゲート電圧の比に応じて、図 6 に点線 170 で示した最小利得係数 β_{min} に対応する電界 (回り込み最大)、図 6 に実線 171 で示した最大利得係数 β_{max} に対応する電界 (X 方向一樣) あるいは両者の中間的な状態の電界が生じる。特に、この中間的な状態の電界は、MOS ゲート電圧および制御ゲート電圧の比に応じて、アナログ的に変化していく。

【0049】

以上から、実施の形態 1 による半導体素子の利得係数 β は、制御ゲート電圧 V_{gc} に応じて、下式 (1) ~ (3) に示す範囲で変調可能である。

【0050】

$$\beta_{\min} \leq \beta \leq \beta_{\max} \quad \cdots (1)$$

$$\beta_{\min} = (W_{gc} / L_{gc}) \cdot \mu \cdot C_{ox} \quad \cdots (2)$$

$$\beta_{\max} = (W / L) \cdot \mu \cdot C_{ox} \quad \cdots (3)$$

ただし、 μ ：移動度、 C_{ox} ：単位面積当たりのゲート絶縁膜容量を示す。

【0051】

このように、最小利得係数 β_{\min} は、実効的なゲート長 L_{gc} およびゲート幅 W_{gc} を用いて示される。図7で説明したように、実効的なゲート長およびゲート幅の変化は、ゲート長を非一様とした制御ゲート105の形状によってもたらされるので、最小利得係数 β_{\min} は、図3に示した形状パラメータ W_1 、 W_2 、 W_3 および L_1 、 L_2 、 L_3 によって決められる。一方、最大利得係数 β_{\max} は、MOSゲート101のゲート長およびゲート幅、すなわち、図2に示した形状パラメータ L および W によって決められる。

【0052】

利得係数 β が当該範囲内のどのレベルとなるかは、MOSゲート101および制御ゲート105のそれぞれへの印加電圧の比に依存する。したがって、半導体素子10の導通時でのMOSゲート電圧が固定される条件下では利得係数 β は、実質的には制御ゲート電圧 V_{gc} に応じて変調される。

【0053】

以上説明したように、本発明の実施の形態1による半導体素子では、チャネル領域に非一様な電界を形成可能な形状を有する制御ゲート105への印加電圧に応じて全体チャネル領域120での電界分布をアナログ的に変化させて、利得係数 β を変調することが可能である。さらに、制御ゲート105の形状がX方向およびY方向に沿った直交する直線群のみで構成され、斜線形状を有することがないので、制御ゲート105を精度よく製造することができる。この結果、半導体素子の製造時の特性ばらつきを抑制することが可能となる。

【0054】

なお、MOSゲート101下の絶縁膜121（図4）の膜厚と、制御ゲート105下の絶縁膜123（図4）の膜厚とを異なるように設計することも可能である。この場合には、最小利得係数 β_{\min} および最大利得係数 β_{\max} が上記（

2), (3) 式とは異なってくるが、制御ゲート電圧 V_{gc} に応じた利得係数 β の変調は可能である。

【0055】

このように、本発明による半導体素子の利得係数 β は、MOSゲート101および制御ゲート105の形状で基本的に決まる範囲内で変調可能であるが、その変調可能範囲、すなわち最小利得係数 β_{min} および最大利得係数 β_{max} は、上述したゲート絶縁膜の膜厚の設計によって、さらに調整することが可能である。あるいは、図4に示した領域125 (MOSゲート101下) および領域126 (制御ゲート105下) での不純物濃度によっても、変調可能範囲を調整することが可能である。

【0056】

図8は、実施の形態1による半導体素子の試作結果を示す図である。図8には、MOSゲート101の寸法 (図2に示したゲート長 L およびゲート幅 W) ならびに、制御ゲート105の寸法のうちのゲート幅の総和 (図3に示した $W_1 + W_2 + W_3$) および端部領域のゲート長 (図2に示した L_1, L_3) を固定した上で、制御ゲート105の中央部分の形状パラメータ L_2, W_2 (図2) を変化させて試作した、7種類の本発明による半導体素子における β 変調比実績が示される。

【0057】

図8の横軸は形状パラメータ L_2 を示し、縦軸は β 変調比、すなわち式 (1) における $\beta_{max} / \beta_{min}$ の実績値を示している。図8に示されるように、実施の形態1による半導体素子では、実質的には制御ゲート105への印加電圧に応じて、利得係数 β を数倍～300倍前後変調可能である。また、確保される変調比は、制御ゲート105の形状によって設計することができる。

【0058】

図8に示される範囲では、形状パラメータ L_2 が小さいほど、また、形状パラメータ W_2 が大きいほど β 変調比は大きくなっている。すなわち、図7で説明した強電界領域および弱電界領域の電界差が顕著になるような制御ゲート105の形状とするほど、 β 変調比が確保されることが試作結果からも確認された。

【0059】

[実施の形態2]

図9は、実施の形態2による半導体素子の平面レイアウト図である。

【0060】

図9を参照して、実施の形態2による半導体素子11は、実施の形態1による半導体素子10と同様に、MOSゲート101、ドレイン103、ソース104、制御ゲート105およびコンタクト106を有する。実施の形態2による半導体素子11は、半導体素子10と比較して、制御ゲート105の形状のみが異なる。したがって、半導体素子11のプロセス工程および製造条件は、実施の形態1による半導体素子10と同様とすることができる。

【0061】

制御ゲート105は、通常ゲート101と平面的に見て重複する領域の中央部分で途切れており、その他の部分で形成されるような平面形状を有している。すなわち、制御ゲート105は、当該中央部分（間欠部）で他の部分とゲート長が異なっている。また、半導体素子12においても、制御ゲート105は、制御ゲート105は、MOSゲート101と同様に、X方向およびY方向に沿った直線群のみで囲まれた平面形状を有しており、かつ、通常ゲート101と平面的に見て重複する領域の一部に形成されている。

【0062】

半導体素子11においても、MOSゲート101によって形成されるチャネル領域111および制御ゲート105によって形成されるチャネル領域112は幾何学的に連続しており、両者を併せた全体チャネル領域120はI型形状となる。半導体素子11では、制御ゲート105下のチャネルコンダクタンスが低い場合に、制御ゲート105の間欠部に対応して強電界領域が発生し、制御ゲート105が設けられた部分に対応して弱電界領域が発生する。したがって、実施の形態2による半導体素子11においても、実施の形態1による半導体素子10と同様のメカニズムで利得係数 β の変調が可能である。

【0063】

特に、実施の形態2による半導体素子では、制御ゲート105の間欠部に対応

する強電界領域において、チャネル領域に生じる電界が制御ゲートのチャネルコンダクタンスと完全に独立する。したがって、図7で説明した端部の領域161, 163における端部効果を大きくして、弱電界領域に発生する部分的な電界変化（電界の回り込み）をさらに顕著にできる。この結果、制御ゲートのチャネルコンダクタンスが十分低い場合における、端部の領域161, 163でのコンダクタンス g_1 , g_3 は、実施の形態1と比較して、さらに低くなる。このため、実効的なゲート長およびゲート幅の比 (W_{gc}/L_{gc}) も小さくなり、式(2)に示した最小利得係数 β_{min} が低下するので、実施の形態1による半導体素子よりも β 変調比が大きく確保される。

【0064】

特に、実施の形態2による半導体素子では、全体チャネル領域120におけるゲート長が最も短い部分でのゲート長を、ゲート加工工程における最小プロセス値と一致させることができる。したがって、この面からも、実施の形態2による半導体素子は、 β 変調比が大きく確保できる。

【0065】

[実施の形態3]

図10は、本発明の実施の形態3による半導体素子の平面レイアウト図である。

【0066】

図10を参照して、実施の形態3による半導体素子12は、実施の形態1による半導体素子10と同様に、MOSゲート101、ドレイン103、ソース104、制御ゲート105およびコンタクト106を有する。実施の形態3による半導体素子12についても、半導体素子10との相違点は、制御ゲート105の形状のみである。したがって、半導体素子12のプロセス工程および製造条件は、実施の形態1による半導体素子10と同様とすることができる。

【0067】

実施の形態3による半導体素子12においては、制御ゲート105は、T型の平面形状を有するように形成される。T型形状の制御ゲート105は、ドレイン103およびソース104間の領域で、平面的に見て矩形状のMOSゲート10

1を覆うように設けられる。このように、半導体素子12においても、制御ゲート105は、MOSゲート101と同様に、X方向およびY方向に沿った直線群のみで囲まれた平面形状を有し、かつ、ゲート長が部分的に異なっている。

【0068】

MOSゲート101によるチャネル領域111および制御ゲート105によるチャネル領域112は幾何学的に連続しており、両者を併せた全体チャネル領域120は実質的にT型形状を形成することになる。制御ゲート105下のチャネルコンダクタンスが低い場合に、ゲート長が短い部分に対応して強電界領域が発生し、ゲート長が長い部分に対応して弱電界領域が発生する。したがって、実施の形態3による半導体素子12においても、実施の形態1による半導体素子10と同様のメカニズムで利得係数 β の変調が可能である。

【0069】

半導体素子12においても、最小利得係数 β_{min} は、制御ゲート105での相対的なゲート長差によって生じる強電界領域および弱電界領域間の電界差に応じて決まる。したがって、T型形状では、これまで示したI型形状よりも、 β 変調比は小さくなる可能性があるが、実施の形態3による半導体素子は、ゲート幅が比較的狭い寸法の素子に対して有効であり、比較的狭い領域内でソース領域およびドレイン領域の幅を加工することが可能となる。また、ソース領域およびドレイン領域に配置されるコンタクトのスペースを確保することも容易となる。

【0070】

[実施の形態4]

図11は、本発明の実施の形態4による半導体素子の平面レイアウト図である。

【0071】

図11を参照して、実施の形態4による半導体素子13は、実施の形態1による半導体素子10と同様に、MOSゲート101、ドレイン103、ソース104、制御ゲート105およびコンタクト106を有する。実施の形態4による半導体素子13についても、半導体素子10との相違点は、制御ゲート105の形状のみである。したがって、半導体素子13のプロセス工程および製造条件は、

実施の形態 1 による半導体素子 10 と同様とすることができる。

【0072】

制御ゲート 105 は、通常ゲート 101 と平面的に見て重複する領域の中央部分にのみ X 方向に沿って橋状に形成され、その他の部分で非形成とされるような平面形状を有している。すなわち、制御ゲート 105 は、当該中央部分（橋状部分）と他の部分とでゲート長が異なっている。また、半導体素子 13 においても、制御ゲート 105 は、MOS ゲート 101 と同様に、X 方向および Y 方向に沿った直線群のみで囲まれた平面形状を有しており、かつ、通常ゲート 101 と平面的に見て重複する領域の一部に形成されている。

【0073】

この結果、通常ゲート 101 によるチャネル領域 111 と、制御ゲート 105 によるチャネル領域 112 とは幾何学的に連続しており、両者を併せた全体チャネル領域 120 は、矩形形状から制御ゲート 105 の非存在部分に対応するフローティングドレイン 113 およびフローティングソース 114 を除いた形状を形成することになる。半導体素子 13 では、制御ゲート 105 下のチャネルコンダクタンスが低い場合に、MOS ゲート 101 下での制御ゲート 105 の非形成部分に対応して強電界領域が発生し、制御ゲート 105 が設けられた橋状部分に対応して弱電界領域が発生する。したがって、実施の形態 4 による半導体素子 13 においても、実施の形態 1 による半導体素子 10 と同様のメカニズムで利得係数 β の変調が可能である。

【0074】

実施の形態 4 のような制御ゲート 105 の形状とすることにより、弱電界領域での電界の回り込みをさらに顕著に発生させることができ、実効的なゲート長が長くなるので、式 (2) に示した最小利得係数 β_{min} をさらに低下させて、利得係数 β の変調範囲をさらに確保できる。

【0075】

特に、制御ゲート 105 の形状において、橋状部分の幅が小さくなるほど、弱電界領域での電界の回り込みを顕著に発生させることができ、実効的なゲート長を長くすることができる。当該橋状部分の幅は、半導体素子製造プロセスでの最

小線幅まで最小化することができる。したがって、半導体素子製造における最先端超微細化加工技術の精度を、そのまま β 変調比の確保に結び付けることができる。

【0076】

〔実施の形態5〕

実施の形態5では、本発明による半導体素子を備えた論理回路の代表例として示されるCMOSインバータ回路（否定回路）について説明する。

【0077】

図12は、本発明による半導体素子のシンボル図である。

図12(a)には、本発明によるnチャネルMOSトランジスタ（以下、「n-MOSトランジスタ」と称する）201が示され、図12(b)には、本発明によるpチャネルMOSトランジスタ（以下、「p-MOSトランジスタ」と称する）202が示されている。n-MOSトランジスタ201およびp-MOSトランジスタ202には、これまで説明した実施の形態1～4による半導体素子が適用され、通常ソースS、ドレインDおよびゲートGに加えて、新たに制御ゲートGCが設けられている。

【0078】

図13は、本発明による半導体素子を適用した論理回路の代表例として示されるCMOSインバータ回路を示すシンボル図である。

【0079】

図13を参照して、CMOSインバータ回路210は、信号入力ノード211の論理レベルを反転して信号出力ノード213へ出力する。インバータ210には、制御入力ノード212への印加電圧がさらに入力されている。

【0080】

図14は、図13に示されたCMOSインバータ回路の第1の構成例を示す回路図である。

【0081】

図14を参照して、CMOSインバータ回路210は、論理ハイレベルに対応する電源電圧VCCの供給ノードおよび論理ローレベルに対応する電圧VSSの

供給ノード間に直列に接続された n -MOS トランジスタ 201 および p -MOS トランジスタ 202 を有する。 p -MOS トランジスタ 202 のソースは電源電圧 V_{CC} の供給ノードと接続され、ドレインは信号出力ノード 213 と接続されている。同様に、 n -MOS トランジスタ 201 のソースは電圧 V_{SS} の供給ノードと接続され、ドレインは信号出力ノード 213 と接続されている。

【0082】

n -MOS トランジスタ 201 および p -MOS トランジスタ 202 の各ゲート G は、信号入力ノード 211 と共通に接続され、さらに、制御ゲート GC は共通の制御入力ノード 212 と接続される。実施の形態 1～4 で説明したように、制御入力ノード 212 の電圧に応じて、 n -MOS トランジスタ 201 および p -MOS トランジスタ 202 の利得係数 β が変調される。

【0083】

このように、 n -MOS トランジスタ 201 および p -MOS トランジスタ 202 の制御ゲート GC を共通の制御入力ノード 212 と接続することにより、制御入力ノード 212 の電圧によって、 n -MOS トランジスタ 201 および p -MOS トランジスタ 202 の電流駆動能力の比、すなわち p/n レシオを変調して CMOS インバータ回路 210 のしきい値を微調整することが可能となる。

【0084】

図 15 は、図 13 に示された CMOS インバータ回路 210 の第 2 の構成例を示す回路図である。

【0085】

図 15 に示された構成例では、CMOS インバータ回路 210 を構成する n -MOS トランジスタ 201 および p -MOS トランジスタ 202 の制御ゲート GC にそれぞれ印加される電圧が独立に設定される。具体的には n -MOS トランジスタ 201 の制御ゲート GC には制御入力ノード 212a が接続され、 p -MOS トランジスタ 202 の制御ゲート GC には制御入力ノード 212b が接続される。このような構成として、 n -MOS トランジスタ 201 および p -MOS トランジスタ 202 の利得係数 β を独立に制御してインバータ 210 の特性を調整することも可能である。

【0086】

このように、本発明による半導体素子である n-MOS トランジスタ 201 および p-MOS トランジスタ 202 を適宜組合せて、CMOS インバータ回路を始めとする論理回路に適用することが可能である。この際に、MOS トランジスタに製造時に生じた特性ばらつきが制御ゲートへの印加電圧である制御入力補償可能であるため、製造ばらつきの影響を排除して、安定的な特性の論理回路を容易に形成することが可能となる。

【0087】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0088】

【発明の効果】

以上のように、本発明による半導体素子は、制御ゲート電圧に応じて利得係数 β をアナログ的に精度よく変調できる。また、従来のプロセス技術で容易に製造することができるので、MOS 回路で構成された従来の各種 LSI に組込むことができる。したがって、オンチップで素子パラメータを自動調整して特性ばらつきを補正可能な機構を、各種の半導体集積回路装置で実現することが可能である。

【0089】

特に、制御ゲートの形状が直交する直線群のみで規定されるので、半導体素子の超微細化加工時での斜線加工に伴う製造時の特性ばらつきを緩和でき、製造効率の向上を図れる。すなわち、制御ゲート形状から斜線の構造部分をなくすことで半導体素子の製造品質の安定が図られ、製造コストの増大を防止できる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1による半導体素子の平面レイアウト図である。

【図2】 図1中の通常ゲートの形状パラメータを示す図である。

【図 3】 図 1 中の制御ゲートの形状パラメータを示す図である。

【図 4】 図 1 に示された半導体素子の断面を表わす斜視図である。

【図 5】 図 1 に示された半導体素子に形成されるチャネル領域を説明する平面図である。

【図 6】 図 1 に示した半導体素子のチャネル領域に生じる電界と制御ゲート電圧との関係を説明する概念図である。

【図 7】 制御ゲート下のチャネルコンダクタンスが低い場合に半導体素子のチャネル領域に生じる電界を詳細に説明する図である。

【図 8】 実施の形態 1 による半導体素子の試作結果を示す図である。

【図 9】 本発明の実施の形態 2 による半導体素子の平面レイアウト図である。

【図 10】 本発明の実施の形態 3 による半導体素子の平面レイアウト図である。

【図 11】 本発明の実施の形態 4 による半導体素子の平面レイアウト図である。

【図 12】 本発明による半導体素子のシンボル図である。

【図 13】 本発明による半導体素子を適用した論理回路の代表例として示される CMOS インバータ回路を示すシンボル図である。

【図 14】 図 13 に示された CMOS インバータ回路の第 1 の構成例を示す回路図である。

【図 15】 図 13 に示された CMOS インバータ回路の第 2 の構成例を示す回路図である。

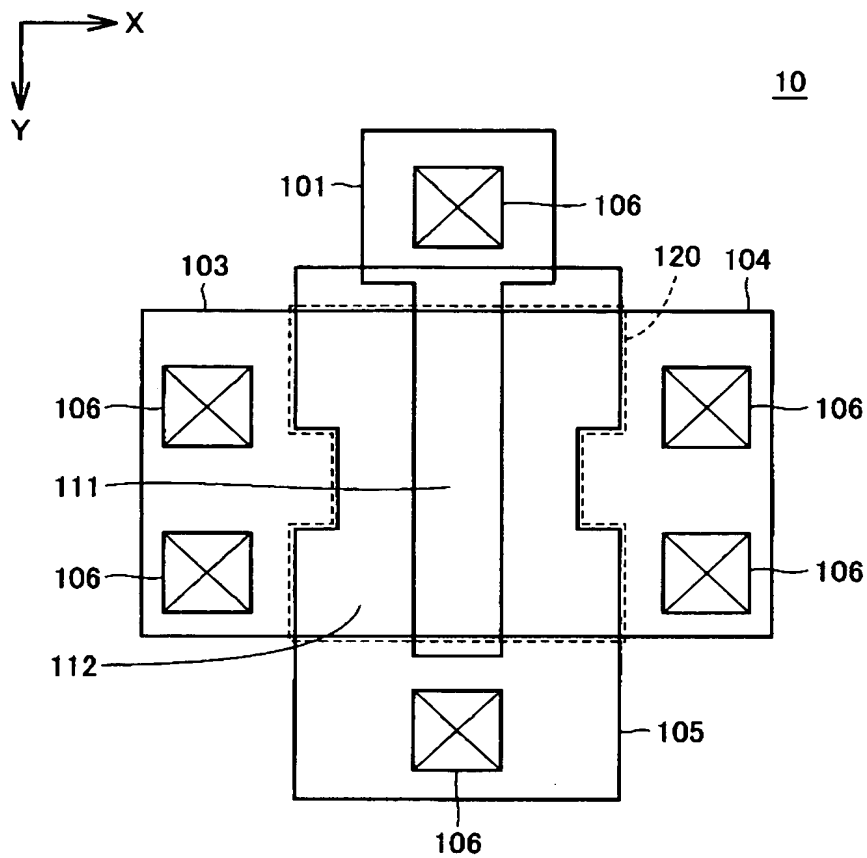
【符号の説明】

10, 11, 12, 13 半導体素子、20 半導体基板、101, G MOS ゲート、103, D ドレイン、113 フローティングドレイン、104, S ソース、114 フローティングソース、105, GC 制御ゲート、106 コンタクト、111 チャネル領域 (MOS ゲート)、112 チャネル領域 (制御ゲート)、120 全体チャネル領域、121, 123 絶縁膜、161, 163 弱電界領域、162 強電界領域、201 n-MOS トランジス

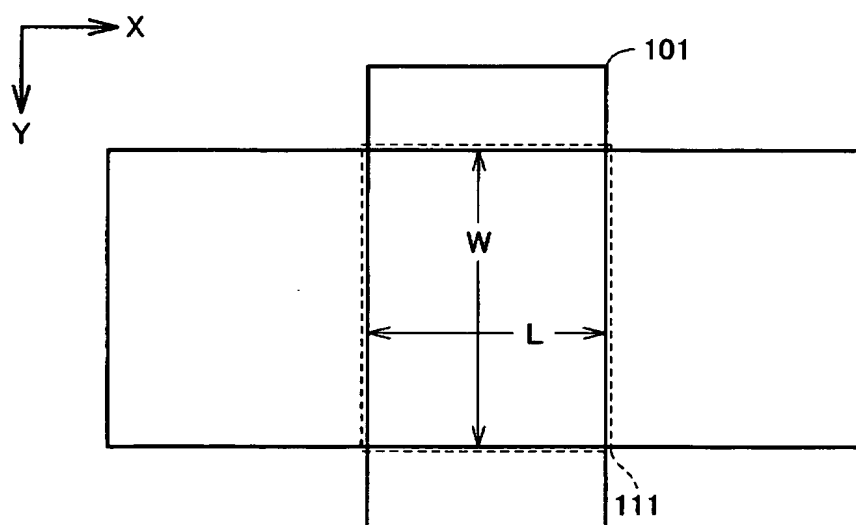
タ、202 p-MOSトランジスタ、210 CMOSインバータ回路、211 信号入力、212, 212a, 212b 制御入力、213 信号出力、VCC, VSS 電圧、Vgc 制御ゲート電圧、W1, W2, W3, L1, L2, L3 形状パラメータ、 β 利得係数、 β_{max} 最大利得係数、 β_{min} 最小利得係数。

【書類名】 図面

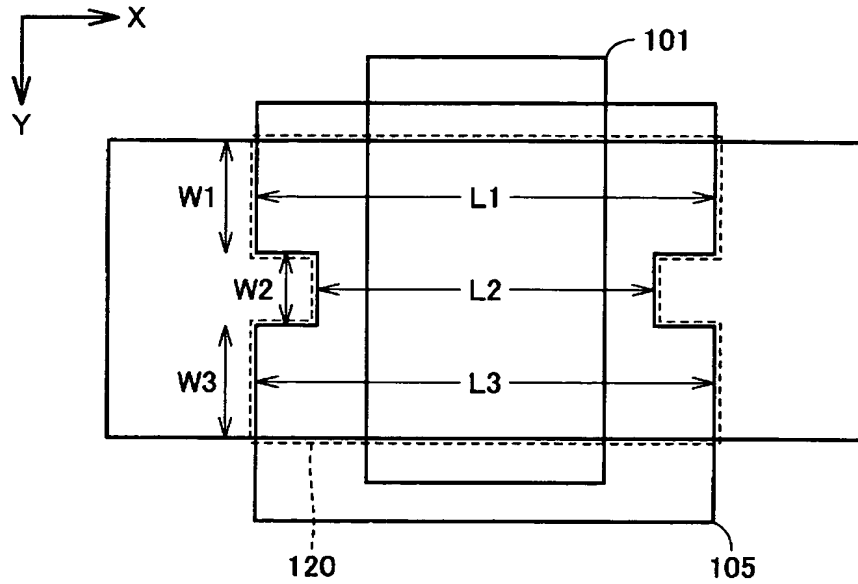
【図 1】



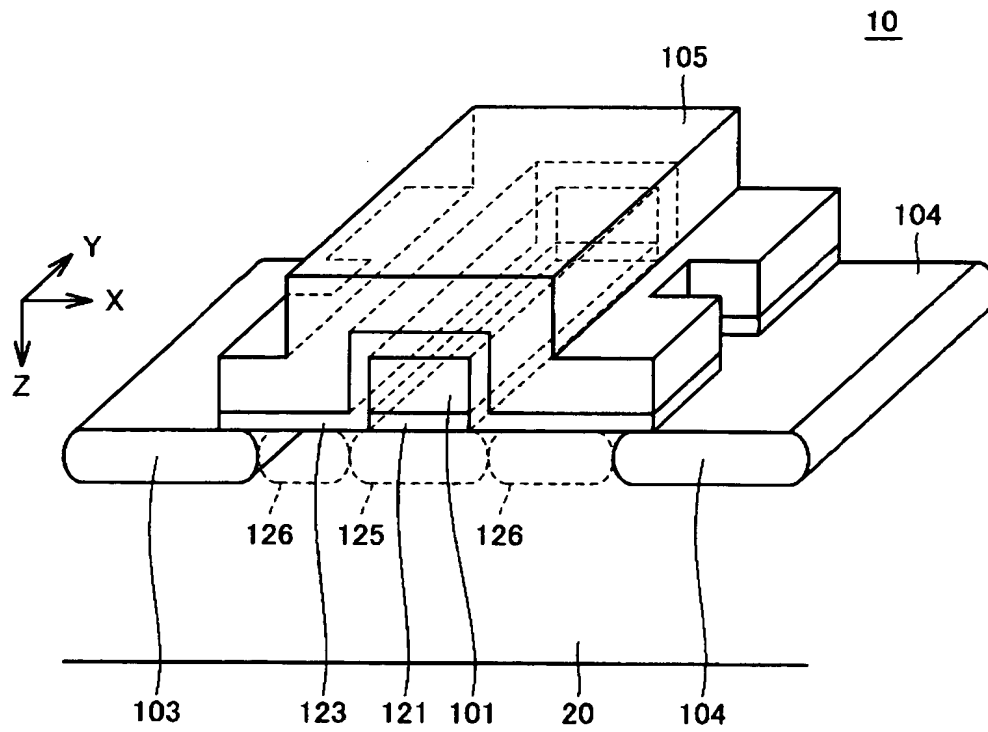
【図 2】



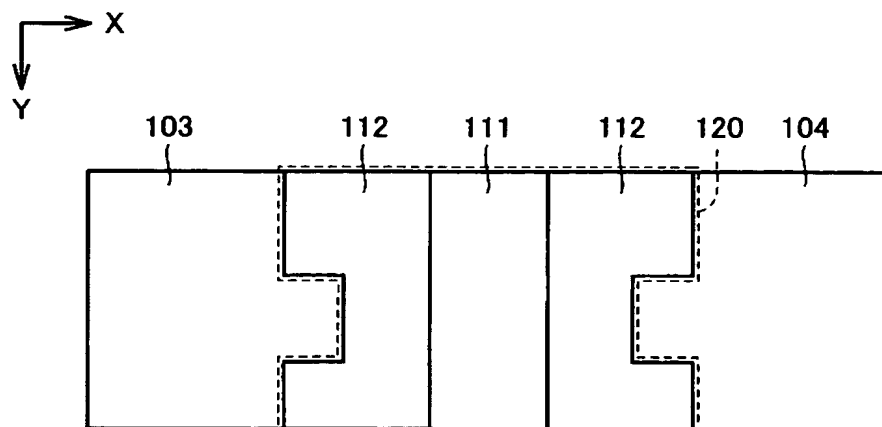
【図 3】



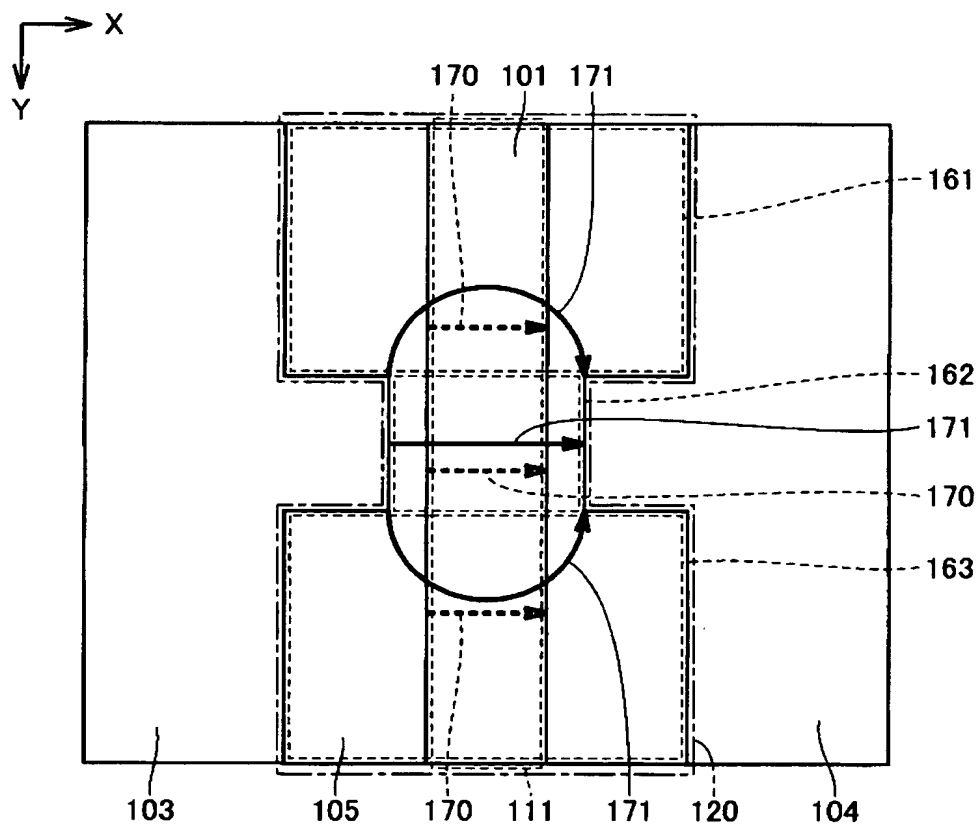
【図 4】



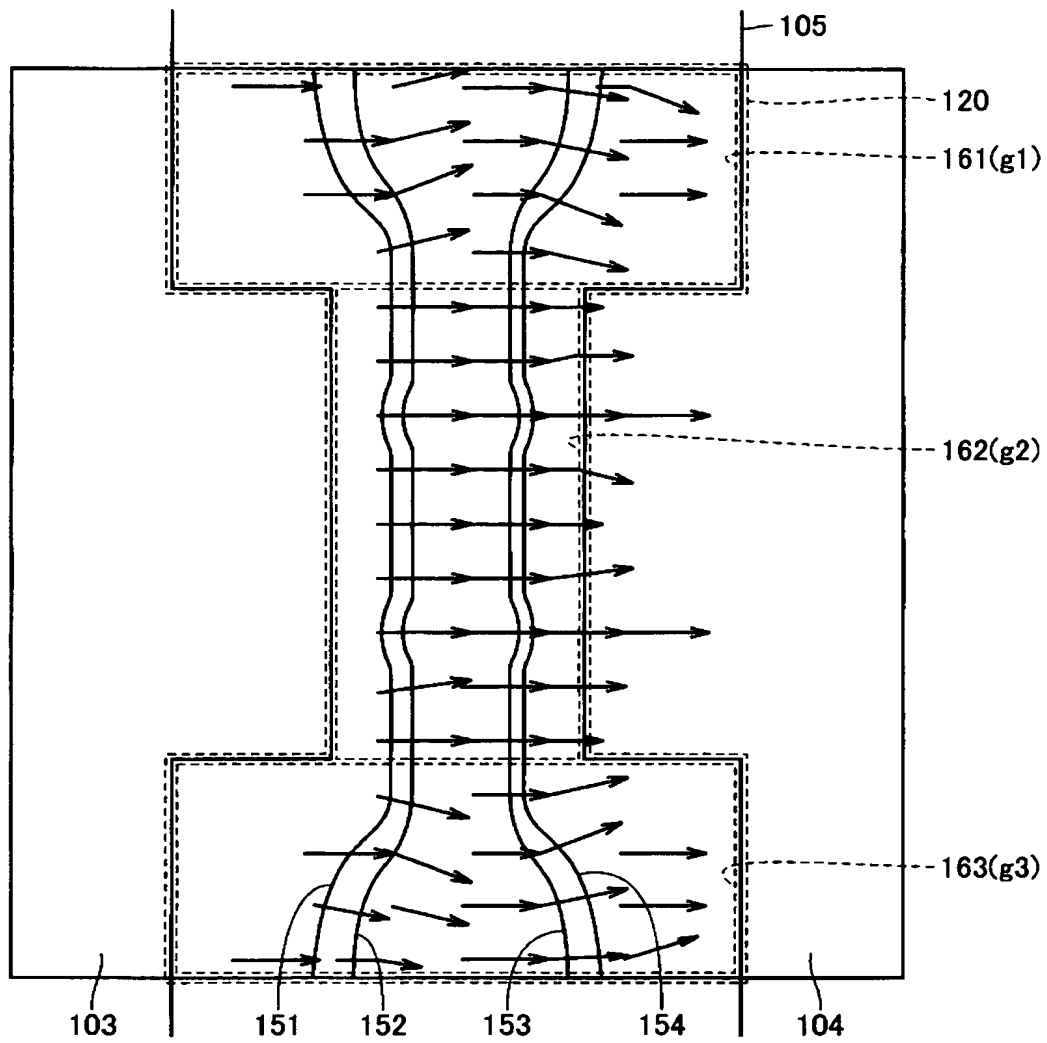
【図 5】



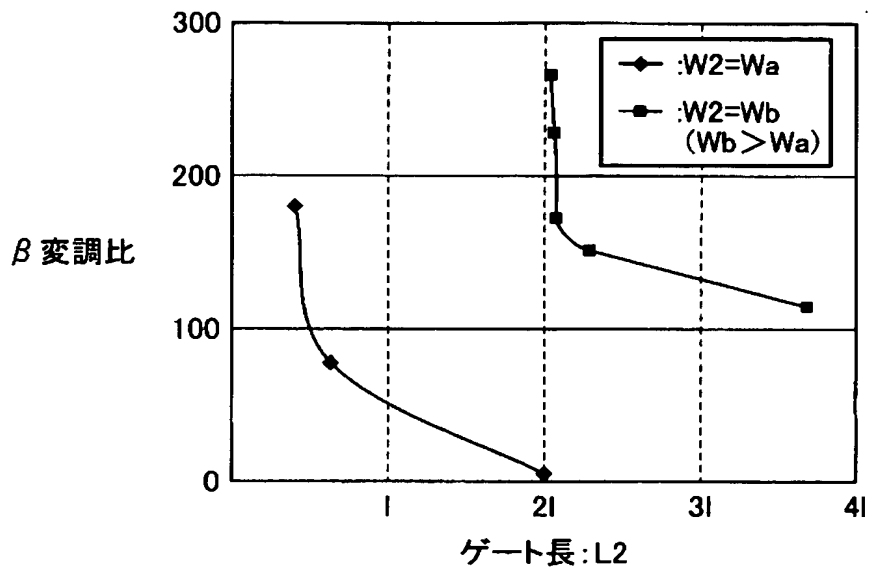
【図 6】



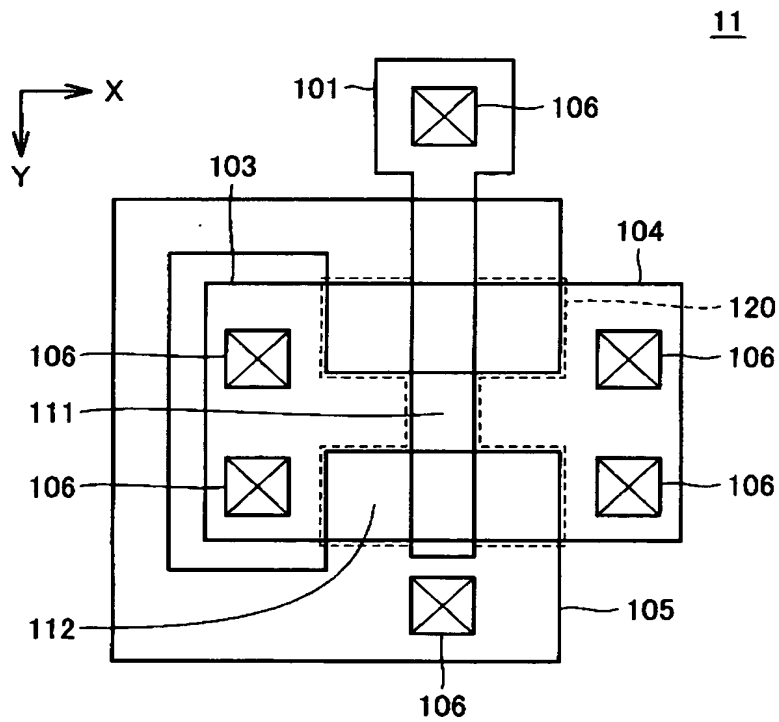
【図 7】



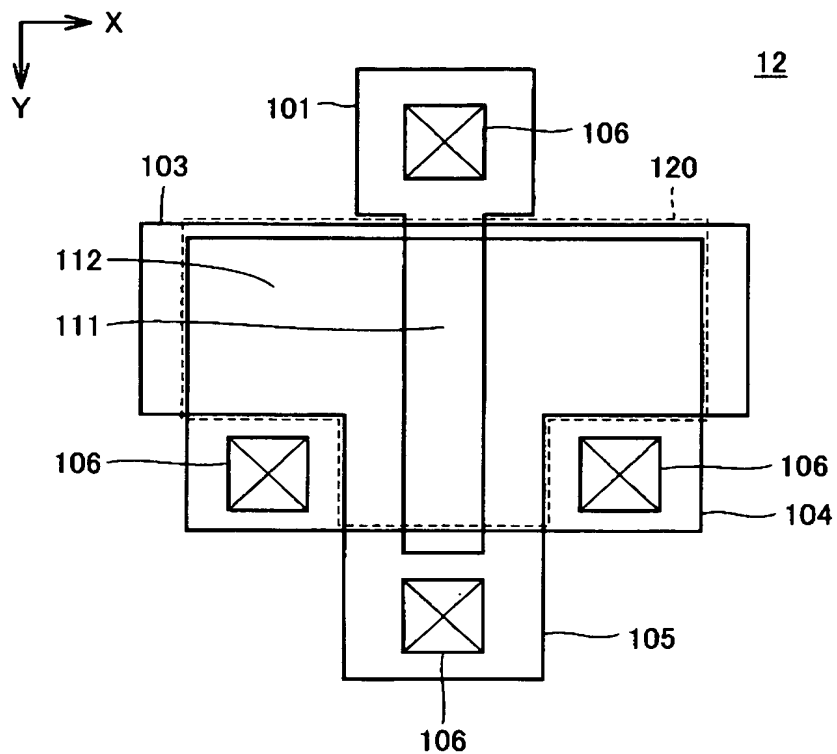
【図 8】



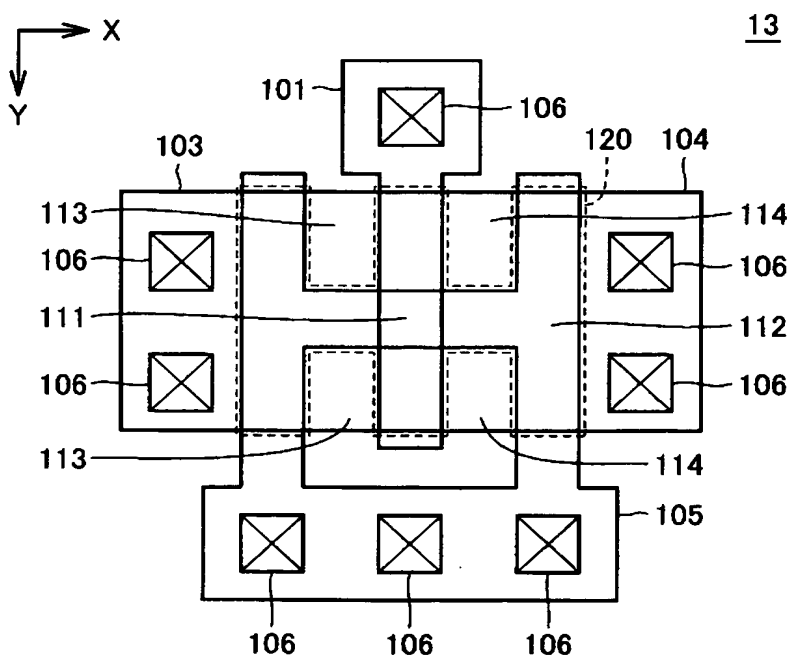
【図 9】



【図 10】

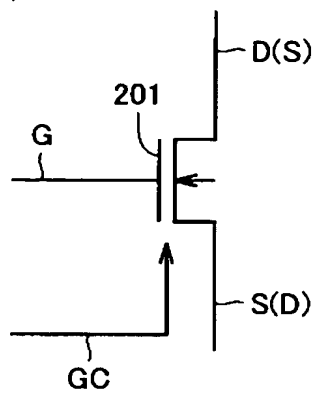


【図 11】

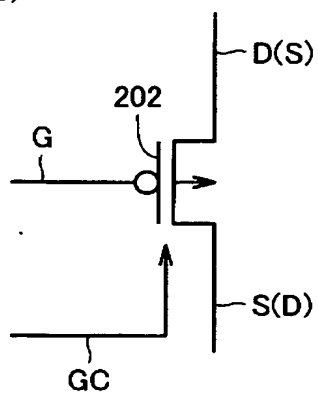


【図 1 2】

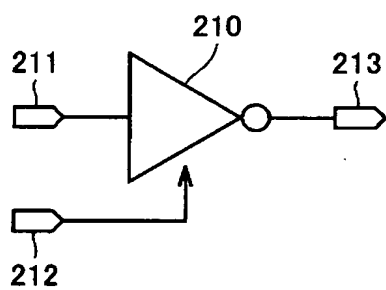
(a)



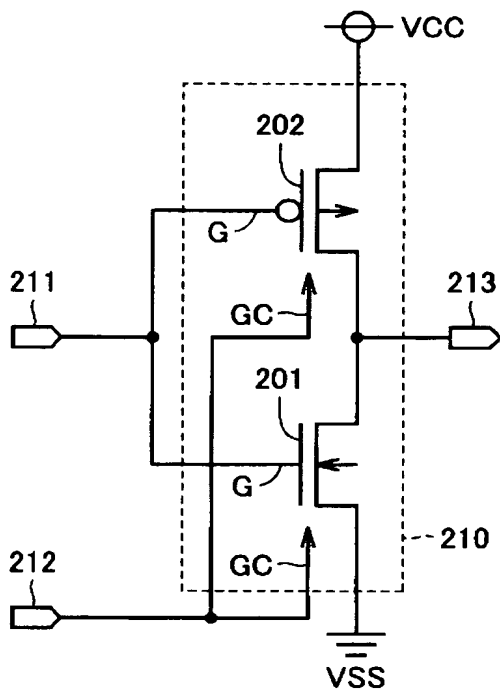
(b)



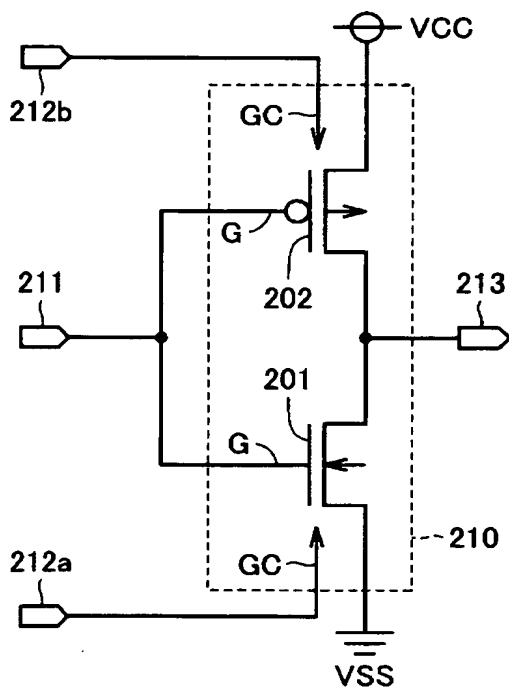
【図 1 3】



【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 利得係数 β を調整可能であり、かつ、安定的に製造可能な構造を有する半導体素子を提供する。

【解決手段】 通常のMOSゲート101、ドレイン103およびソース104に加えて、さらに設けられた制御ゲート105は、矩形状のMOSゲート101と同一方向に沿った直線群のみで規定された形状を有し、かつ、斜線形状を有することなく、ゲート幅方向に沿った少なくとも一部の領域においてゲート長が非一様となる形状を有している。このような制御ゲート105によって形成されるチャネル領域には、強電界領域と弱電界領域とが存在するようになる。この結果、MOSゲート101および制御ゲート105によって形成される全体チャネル領域120のコンダクタンス、すなわち半導体素子の利得係数 β は、MOSゲート101および制御ゲート105への印加電圧に応じて調整可能となる。

【選択図】 図1

特願 2 0 0 3 - 1 7 4 7 0 3

出 願 人 履 歴 情 報

識別番号

[5 0 3 2 2 3 6 5 8]

1 . 変更年月日

2 0 0 3 年 6 月 1 9 日

[変更理由]

新規登録

住 所

福岡県糟屋郡新宮町花立花 1 丁目 2 番 6 号

氏 名

廣津 総吉